

12.5.1 QUADSPI control register (QUADSPI_CR)

Address offset: 0x0000

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRESCALER[7:0]								PMM	APMS	Res.	TOIE	SMIE	FTIE	TCIE	TEIE
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	FTHRES[4:0]					FSEL	DFM	Res.	SSHIFT	TCEN	DMAEN	ABORT	EN
			r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w	r/w	r/w

Bits 31:24 PRESCALER[7:0]	0: FCLK = ANB, ANB часы, используемые непосредственно как QUADSPI CLK (prescaler обошел) 1: FCLK = FAHB / 2 2: FCLK = FAHB / 3 ... 255: FCLK = FAHB / 256	Прескалер часов. Этот регистр определяет коэффициент для генерации CLK на основе часов ANB (значение+1). Для нечетных коэффициентов деления часов рабочий цикл Clk не равен 50%. Тактовый сигнал остается низким один цикл дольше, чем он остается высоким. Это поле может быть изменено только в том случае, если BUSY = 0.
Bit 23 PMM	0: AND (и) режим матча. SMF устанавливается, если все разоблаченные биты получены от Flash memory соответствует соответствующим битам в регистре соответствия. 1: OR (или) режим матча. SMF устанавливается, если какой-либо из разоблаченных битов получен от вспышки	Этот бит указывает, какой метод следует использовать для определения "соответствия" ("match") во время автоматического режима опроса. Это поле может быть изменено только в том случае, если BUSY = 0.
Bit 22 APMS	0: автоматический режим опроса останавливается только путем прерывания или отключения QUAD SPI. 1: автоматический режим опроса останавливается, как только есть совпадение.	Этот бит определяет, будет ли автоматический опрос остановлен после совпадения. Это поле может быть изменено только в том случае, если BUSY = 0.
Bit 20 TOIE	0: прерывание отключено 1: прерывание включено	Тайм-аут прерывания включить Этот бит включает прерывание тайм-аута.
Bit 19 SMIE	0: прерывание отключено 1: прерывание включено	Этот бит включает прерывание соответствия статусу.
Bit 18 FTIE	0: прерывание отключено 1: прерывание включено	Этот бит включает прерывание порога FIFO.
Bit 17 TCIE	0: прерывание отключено 1: прерывание включено	Этот бит включает прерывание завершения передачи.
Bit 16 TEIE	0: прерывание отключено 1: прерывание включено	Этот бит включает прерывание ошибки передачи.
Bits 12:8 FTHRES[4:0]	0: FTF устанавливается, если имеется 1 или более свободных байтов, доступных для записи в FIFO 1: FTF устанавливается, если есть 2 или более свободных байта, доступных для записи в FIFO ... 31: FTF устанавливается, если есть 32 свободных байта, доступных для записи в FIFO В режиме косвенного чтения (FMODE = 01): 0: FTF устанавливается, если имеется 1 или более допустимых байтов, которые могут быть считаны из FIFO 1: FTF устанавливается, если есть 2 или более допустимых байта, которые могут быть считаны из FIFO ... 31: FTF устанавливается, если есть 32 допустимых байта, которые могут быть считаны из FIFO	Определяет, в косвенном режиме, пороговое число байтов в FIFO, которое вызовет FIFO порог флаг (FTF, QUADSPI_SR[2]) должен быть установлен. В режиме косвенной записи (FMODE = 00): Если DMAEN = 1, то контроллер DMA для соответствующего канала должен быть отключен перед изменением значения FTHRES.
Bit 7 FSEL	0: выбрана флэш 1 1: выбрана флэш 2	Этот бит выбирает флэш-память, которая будет адресована в режиме одиночной флэш (когда DFM = 0). Этот бит может быть изменен только тогда, когда BUSY = 0. Этот бит игнорируется, когда DFM = 1.
Bit 6 DFM	0: режим двойной Flash отключен 1: режим двойной Flash включен	Этот бит активирует режим двойной Flash, где используются две внешние флэш-памяти одновременно удвоить объем и емкость. Этот бит может быть изменен только тогда, когда BUSY = 0.

Bit 4 SSHIFT	0: никакого сдвига 1: 1/2 смена цикла	По умолчанию QUADSPI выполняет выборку данных 1/2 цикла CLK после того, как данные управляются Flash-память. Этот бит позволяет отбирать данные позже для учета задержки внешнего сигнала. Прошивка должна гарантировать, что SHIFT = 0, при включении D
Bit 3 TCEN	0: счетчик TIMEOUT отключен, и таким образом chip select (nCS) остается активным неограниченно после доступа в режиме отображения памяти. 1: счетчик тайм-аута включен, и, таким образом, выбор микросхемы освобождается в отображенной памяти режим после TIMEOUT [15:0] циклы бездействия флэш-памяти. Этот бит может быть изменен только тогда, когда занят = 0.	Включение тайм-аута счетчика Этот бит действителен только при выборе режима отображения памяти (FMODE = 11). Активирующий этот бит заставляет чип select (nCS) быть освобожденным (и таким образом уменьшает потребление), если там не было доступа после определенного количества времени, где это время определено по TIMEOUT [15: 0] (QUADSPI_LPTR). Включите счетчик времени ожидания. По умолчанию QUADSPI никогда не останавливает операцию предварительной выборки, сохраняя предыдущее чтение активная работа с nCS поддерживается на низком уровне, даже если нет доступа к флэш-памяти происходит в течение длительного времени. Поскольку флэш-память, как правило, потребляет больше, когда nCS удерживается низкий уровень, приложение может захотеть активировать счетчик тайм-аута (TCEN = 1, бит 3 из UADSPI_CR) так, чтобы nCS был выпущен после периода TIMEOUT [15: 0](QUADSPI_LPTR) циклы прошли без доступа с тех пор, когда FIFO заполняется данными предварительной выборки.
Bit 2 DMAEN	0: DMA отключена для косвенного режима 1: DMA включен для косвенного режима	В косвенном режиме DMA может использоваться для ввода или вывода данных через QUADSPI_DR регистр. Передачи DMA инициируются, когда установлен пороговый флаг FIFO, FTF.
Bit 1 ABORT	0: не требуется прерывание 1: прервать запрос	Этот бит прерывает текущую последовательность команд. Он автоматически сбрасывается после прерывания это полный комплект. Этот бит останавливает текущую передачу. В режиме опроса или режиме отображения памяти этот бит также сбрасывает бит APM или бит DM.
Bit 0 EN	0: QUAD SPI отключен 1: QUAD SPI включен	Включите QUAD SPI.

12.5.2 QUADSPI device configuration register (QUADSPI_DCR)

Address offset: 0x0004

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	FSIZE[4:0]				
											rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	Res.	Res.	Res.	CSHT[2:0]			Res.	Res.	Res.	Res.	Res.	Res.	Res.	CK MODE
					rw	rw	rw								rw

Bits 20:16 FSIZЕ[4:0]		Это поле определяет размер внешней памяти, используя следующую формулу: Количество байт во флэш-памяти = 2[FSIZЕ+1] FSIZЕ+1-это количество бит адреса, необходимых для обращения к флэш-памяти. Объем флэш-памяти может быть до 4 ГБ (адресовано с использованием 32 бит) в косвенный режим, но адресуемое пространство в режиме отображения памяти ограничено 256 МБ. Если DFM = 1, FSIZЕ указывает общую емкость двух флэш-накопителей вместе. Этот бит может быть изменен только тогда, когда BUSY = 0.
Bits 10:8 CSHT[2:0]	0: nCS остается высоким в течение по крайней мере 1 цикла между командами флэш-памяти 1: nCS остается высоким в течение по крайней мере 2 циклов между командами флэш-памяти ... 7: nCS остается высоким в течение по крайней мере 8 циклов между командами флэш-памяти	CSHT+1 определяет минимальное количество циклов CLK, которое должен выполнить chip select (nCS) оставаться высоким между командами, выданными флэш-памяти. Этот бит может быть изменен только тогда, когда BUSY = 0.
Bit 0 CKMODE	0: CLK должны оставаться на низком уровне в то время как nCS является высокой (выбор микросхемы выпустили). Это называется режим 0. 1: CLK должна оставаться высокой, пока NCS- это максимум (выбор микросхемы выпустили). Это называется режим 3.	Этот бит указывает уровень, который CLK принимает между командами (когда nCS = 1). Этот бит может быть изменен только тогда, когда BUSY = 0.

12.5.3 QUADSPI status register (QUADSPI_SR)

Address offset: 0x0008

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.	Res.
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	Res.	FLEVEL[5:0]					Res.	Res.	BUSY	TOF	SMF	FTF	TCF	TEF	
		r	r	r	r	r	r			r	r	r	r	r	r

Bits 13:8 FLEVEL[5:0]	Это поле дает количество допустимых байтов, которые хранятся в FIFO. Уровень = 0 когда FIFO пуст, и 32, когда он полон. В режиме отображения памяти и в автоматический режим опроса состояния, FLEVEL равен нулю.
Bit 5 BUSY	Этот бит устанавливается, когда операция продолжается. Этот бит очищается автоматически, когда операция с флэш-памятью завершена, и FIFO пуст
Bit 4 TOF	Этот бит устанавливается, когда происходит тайм-аут. Это сбрасывается записью 1 до CTOF.
Bit 3 SMF	Этот бит устанавливается в автоматическом режиме опроса, когда снятые маски полученных данных соответствуют соответствующие биты в регистре совпадений (QUADSPI_PSMAR). Он очищается путем записи 1 в CSMF.
Bit 2 FTF	Пороговый флаг FIFO В косвенном режиме этот бит устанавливается при достижении порога FIFO или при наличии все данные, оставшиеся в FIFO после считывания из флэш-памяти, будут завершены. Он очищается автоматически, как только пороговое условие перестает быть истинным. В режиме автоматического опроса этот бит устанавливается каждый раз при чтении регистра состояния, а бит очищается при чтении регистра данных.
Bit 1 TCF	Флаг завершения передачи Этот бит устанавливается в косвенном режиме, когда запрограммированное количество данных было передано или в любом режиме, когда передача была aborted. It очищается путем записи 1 к CTCF.
Bit 0 TEF	Флаг ошибки передачи Этот бит устанавливается в косвенном режиме, когда доступ к недопустимому адресу осуществляется в косвенном режиме. Он очищается путем записи 1 в CTEF.

12.5.4 QUADSPI flag clear register (QUADSPI_FCR)

Address offset: 0x000C

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Res.															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	CTOF	CSMF	Res.	CTCF	CTEF										
											w	w		w	w

Bit 4 CTOF	Написав " 1 " сбрасывает этот флаг TOF в QUADSPI_SR регистр
Bit 3 CSMF	Написав " 1 " очищает флаг SMF в регистре QUADSPI_SR
Bit 1 CTCF	Написав " 1 " сбрасывает этот флаг TCF в QUADSPI_SR регистр
Bit 0 CTEF	Написав " 1 " сбрасывает этот флаг TEF в QUADSPI_SR регистр

12.5.5 QUADSPI data length register (QUADSPI_DLR)

Address offset: 0x0010

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DL[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DL[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:0 DL[31:0]	<p>Длина данных Количество извлекаемых данных (значение+1) в режимах косвенного и статусного опроса. Значение для режима опроса состояния следует использовать не более 3 (4 байта). Все 1s в косвенном режиме означает неопределенную длину, где QUADSPI будет продолжаться до тех пор, пока конец памяти, как определено FSIZE. 0x0000_0000: 1 байт должен быть передан 0x0000_0001: 2 байта должны быть переданы 0x0000_0002: 3 байта должны быть переданы 0x0000_0003: 4 байта должны быть переданы ... 0xFFFF_FFFD: 4,294,967,294 (4G-2) байта должны быть переданы 0xFFFF_FFFE: 4,294,967,295 (4G-1) байт должны быть переданы 0xFFFF_FFFF: неопределенная длина -- все байты до конца флэш-памяти (как определено по FSIZE) подлежат передаче. Продолжить чтение на неопределенный срок, если if FSIZE = 0x1F. DL [0] застревает на '1' в режиме dual-flash (DFM = 1), даже когда '0' записывается в этот бит, таким образом гарантируя, что каждый доступ передает четное число байтов. Это поле не действует в режиме отображения памяти (FMODE = 10). Это поле может быть записано только тогда, когда BUSY = 0.</p>
--------------------	---

12.5.6 QUADSPI communication configuration register (QUADSPI_CCR)

Address offset: 0x0014

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DDRM	DHHC	Res.	SIOO	FMODE[1:0]		DMODE[1:0]		Res.	DCYC[4:0]				ABSIZE[1:0]		
rw	rw		rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ABMODE[1:0]		ADSIZE[1:0]		ADMODE[1:0]		IMODE[1:0]		INSTRUCTION[7:0]							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bit 31 DDRM	0: режим DDR отключен 1: режим DDR включен	Режим двойной скорости передачи данных Этот бит задает режим DDR для адреса, альтернативного байта и фазы данных: Это поле может быть записано только тогда, когда BUSY = 0.
Bit 30 DHHC	0: задержка вывода данных с помощью аналоговой задержки 1: задержите вывод данных на 1/4 выходного тактового цикла QUAD SPI.	Задержка вывода данных на 1/4 выходного тактового цикла QUAD SPI в режиме DDR: Эта функция активна только в режиме DDR. Это поле может быть записано только тогда, когда BUSY = 0.
Bit 28 SIOO	0: отправить инструкцию по каждой транзакции 1: отправить инструкцию только для первой команды	Отправить инструкцию только один раз режим См. раздел 12.3.12: отправка инструкции только один раз на стр. 299. Этот бит не имеет никакого эффекта, когда IMODE = 00. Это поле может быть записано только тогда, когда BUSY = 0.
Bits 27:26 FMODE[1:0]	00: косвенный режим записи 01: косвенный режим чтения 10: автоматический режим опроса 11: режим отображения памяти	Это поле определяет функциональный режим работы QUAD SPI. Если DMAEN = 1 уже, то контроллер DMA для соответствующего канала должен быть отключено перед изменением значения FMODE. Это поле может быть записано только тогда, когда BUSY = 0.
Bits 25:24 DMODE[1:0]	00: нет данных 01: данные в одной строке 10: данные по двум строкам 11: данные по четырем строкам	Это поле определяет режим работы фаз данных: Это поле также определяет режим фиктивной фазы работы. Это поле может быть записано только тогда, когда BUSY = 0.
Bits 22:18 DCYC[4:0]		Это поле определяет длительность фиктивной фазы. В обоих режимах SDR и DDR, это задает число циклов CLK (0-31). Это поле может быть записано только тогда, когда BUSY = 0.
Bits 17:16 ABSIZE[1:0]	00: 8-битный альтернативный байт 01: 16-битные альтернативные байты 10: 24-битные альтернативные байты 11: 32-разрядные альтернативные байты	Этот бит определяет размер альтернативных байтов: Это поле может быть записано только тогда, когда BUSY = 0.
Bits 15:14 ABMODE[1:0]	00: альтернативный байт 01: альтернативные байты в одной строке 10: альтернативные байты на двух строках 11: альтернативные байты на четырех строках	Это поле определяет фазовый режим работы с альтернативными байтами: Это поле может быть записано только тогда, когда BUSY = 0.
Bits 13:12 ADSIZE[1:0]	00: 8-битный адрес 01: 16-битный адрес 10: 24-битный адрес 11: 32-разрядный адрес	Этот бит определяет размер адреса: Это поле может быть записано только тогда, когда BUSY = 0.
Bits 11:10 ADMODE[1:0]	00: нет адреса 01: адрес в одной строке 10: адрес на двух линиях 11: адрес на четырех строках	Это поле определяет адресно-фазовый режим работы: Это поле может быть записано только тогда, когда BUSY = 0.
Bits 9:8 IMODE[1:0]	00: нет инструкции 01: инструкция на одной строке 10: инструкция на двух линиях 11: инструкция на четырех строках	Это поле определяет фазовый режим работы инструкции: Это поле может быть записано только тогда, когда BUSY = 0.
Bits 7:0 INSTRUCTION[7:0]		Инструкция для отправки на внешнее устройство SPI. Это поле может быть записано только тогда, когда BUSY = 0.

12.5.7 QUADSPI address register (QUADSPI_AR)

Address offset: 0x0018

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDRESS[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRESS[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:0
ADDRESS[31:0]

Адрес для отправки во внешнюю флэш-память
Записи в это поле игнорируются, когда BUSY = 0 или когда FMODE = 11 (сопоставлено с памятью режим).
В режиме dual flash ADDRESS[0] автоматически привязывается к "0", как и должен быть адрес всегда будет даже

12.5.8 QUADSPI alternate bytes registers (QUADSPI_ABR)

Address offset: 0x001C

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALTERNATE[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ALTERNATE[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Bits 31:0
ALTERNATE[31:0]

Дополнительные данные для отправки на внешнее устройство SPI сразу после адреса.
Это поле может быть записано только тогда, когда BUSY = 0.

12.5.9 QUADSPI data register (QUADSPI_DR)

Address offset: 0x0020

Reset value: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

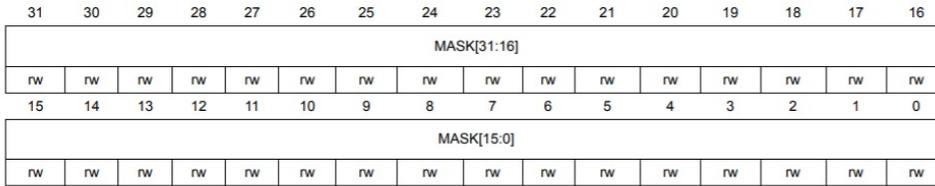
Bits 31:0
DATA[31:0]:

Данные, которые будут отправлены/получены на / с внешнего устройства SPI.
В режиме косвенной записи данные, записанные в этот регистр, сохраняются в FIFO перед отправкой к флэш-памяти во время фазы данных. Если буфер FIFO полон, а операция записи остановлено до тех пор, пока в FIFO не будет достаточно места, чтобы принять объем записываемых данных.
В режиме косвенного чтения чтение этого регистра дает (через FIFO) данные, которые были получено из флэш-памяти. Если FIFO не имеет столько байтов, сколько требуется операция чтения и если BUSY=1, операция чтения приостанавливается до тех пор, пока не будет получено достаточное количество данных.
присутствует или пока передача не будет завершена, в зависимости от того, что произойдет раньше.
В режиме автоматического опроса этот регистр содержит последние данные, считанные со вспышки память (без маскировки).
Слово, полуслово, байт и получает доступ в этот реестр поддерживается. В режиме косвенной записи, запись байта добавляет 1 байт к FIFO, запись полуслова 2 и запись слова 4. Аналогично, в косвенный режим чтения, чтение байта удаляет 1 байт из FIFO, чтение полуслова 2 и а слово чтения 4. Доступы в косвенном режиме должны быть выровнены по нижней части этого регистра: а чтение байта должно читать DATA [7: 0], а чтение полуслова должно читать DATA [15:0].

12.5.10 QUADSPI polling status mask register (QUADSPI_PSMKR)

Address offset: 0x0024

Reset value: 0x0000 0000

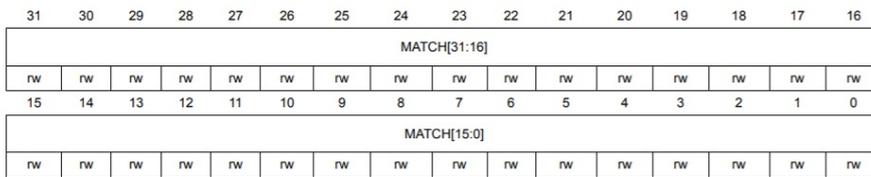


Bits 31:0 MASK[31:0]:	0: бит n данных, полученных в автоматическом режиме опроса, маскируется, а его значение не является рассмотрено в логике согласования 1: бит n данных, полученных в автоматическом режиме опроса, разоблачен, и его значение равно рассмотрено в логике согласования	Маска, применяемая к байтам состояния, полученным в режиме опроса. Для этого бита: Это поле может быть записано только тогда, когда BUSY = 0.
--	---	---

12.5.11 QUADSPI polling status match register (QUADSPI_PSMAR)

Address offset: 0x0028

Reset value: 0x0000 0000

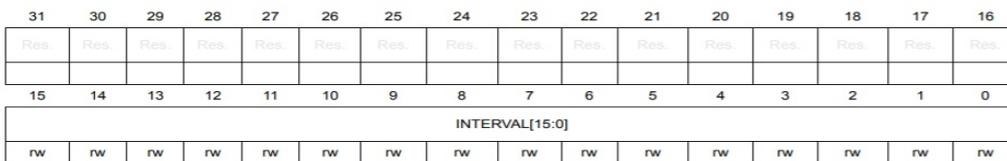


Bits 31:0 MATCH[31:0]:	Значение, которое будет сравниваться с замаскированным регистром состояния, чтобы получить совпадение. Это поле может быть записано только тогда, когда BUSY = 0.
---	--

12.5.12 QUADSPI polling interval register (QUADSPI_PIR)

Address offset: 0x002C

Reset value: 0x0000 0000



Bits 15:0 INTERVAL[15:0]	Количество циклов CLK между считыванием во время фаз автоматического опроса. Это поле может быть записано только тогда, когда BUSY = 0.
---	--

12.5.13 QUADSPI low-power timeout register (QUADSPI_LPTR)

Address offset: 0x0030

Reset value: 0x0000 0000



Bits 15:0 TIMEOUT[15:0]	После каждого доступа в режиме отображения памяти QUADSPI предварительно выбирает последующие байты и удерживает эти байты в FIFO. В этом поле указывается, сколько тактов CLK QUAD SPI ждет после того, как FIFO станет полным, пока он не поднимет nCS, поставив Flash память в состоянии с меньшим потреблением.
--	---

